

Ressource R3.05 - TD 4

Interruptions-ordonnancement

Contexte du système

Le processeur d'un smartphone gère l'affichage de l'interface graphique dans son programme principal (**main**). Pour économiser la batterie, le processeur passe en mode "sommeil léger" dès que l'utilisateur ne touche pas l'écran. Il se réveille instantanément grâce à 4 causes d'interruption matérielle. Par ordre de priorité décroissante :

1. **BAT (Batterie)** : Surchauffe de la batterie ou déconnexion critique du chargeur (Priorité maximale pour la sécurité).
2. **SCR (Screen)** : Détection d'un appui tactile sur l'écran par l'utilisateur.
3. **NET (Network)** : Arrivée d'un paquet de données urgent (ex: appel VoIP ou message push).
4. **ALM (Alarm)** : Déclenchement du réveil programmé par l'utilisateur (Priorité basse).

Le processeur possède un registre masque **RM** de 4 bits ordonné de gauche à droite : [BAT, SCR, NET, ALM].

- Un bit à 1 = Interruption **armée** (autorisée).
- Un bit à 0 = Interruption **masquée** (bloquée).

Fonctionnement du matériel

Dès qu'un événement valide survient :

1. Le processeur termine l'instruction en cours.
2. Il sauvegarde automatiquement le Compteur Ordinal (CO) et le registre de masque **RM** actuel dans la **pile (Stack)**.
3. Il désactive globalement les interruptions.
4. Il charge l'adresse de la routine correspondant à la cause dans le CO.

Jeu d'instructions du processeur

- **LOAD x** : Charge la valeur de l'adresse x (ou une constante) dans l'accumulateur (ACC).
- **WRITE_RM** : Écrit le contenu de l'ACC dans le registre masque **RM**.
- **EI / DI** : Active / Désactive globalement les interruptions.
- **RTI (Return from Interrupt)** : Dépile automatiquement l'ancien **RM** puis l'ancien **CO**, restaurant le contexte complet et réactivant les interruptions en un seul cycle atomique.

Exercice

1. **Masques de priorité** : Déterminez sous forme binaire les constantes de masquage **M_BAT**, **M_SCR**, **M_NET** et **M_ALM** à appliquer au début de chaque routine pour respecter l'ordre de priorité décroissante (permettre uniquement aux événements strictement plus prioritaires d'interrompre).
2. **Écriture de la routine de l'écran** : Écrivez le début et la fin de la routine **SCR**, en permettant aux interruptions de priorité strictement supérieure de préempter la routine.

Indication importante : Notez bien le comportement de l'instruction matérielle **RTI** de ce processeur par rapport aux architectures classiques. Est-il nécessaire de sauvegarder manuellement le masque **RM** au début de la routine ?

3. **Analyse de scénario complexe** : Le smartphone est en veille, le registre **RM** est initialisé à 1111.
 - À **t = 0 ms** : L'alarme du réveil se déclenche (**ALM**). Sa routine complète dure **8 ms**.
 - À **t = 3 ms** : Le téléphone reçoit un message push important (**NET**). Sa routine dure **3 ms**.
 - À **t = 5 ms** : L'utilisateur pose son doigt sur l'écran (**SCR**). Sa routine dure **4 ms**.

Donnez la chronologie exacte de l'exécution du processeur (quelle tâche s'exécute, à quel intervalle de temps, et quand est-ce que le téléphone se rendort).